

ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW

17 BATTERY PLACE

SUITE 1231

NEW YORK, NEW YORK 10004



BRUCE L. ADAMS
VAN C. WILKS*

JOHN R. BENEFIEL*
FRANCO S. DE LIGUORI*
TAKESHI NISHIDA

*NOT ADMITTED IN NEW YORK
*REGISTERED PATENT AGENT

RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

November 18, 2005

COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Re: Patent Application of Atsuo FUKUI
Serial No. 10/659,505
Examiner: Matthew Van Nguyen
Docket No. S004-5107

Filing Date: September 10, 2003
Group Art Unit: 2838

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

1. Japanese Patent Appln. No. 2002-279014 filed September 25, 2002

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By: 

Bruce L. Adams
Reg. No. 25,386

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER FOR PATENTS, P.O. Box 1450, Alexandria, VA 22313-1450, on the date indicated below.

Debra Buonincontri

Name



Signature

NOVEMBER 18, 2005

Date

PART B - FEE(S) TRANSMITTAL
PAGE 2



ADDITIONAL ATTACHMENTS

TRANSMITTAL LETTER (WITH MAILING CERTIFICATE)
and CERTIFIED COPY OF JAPANESE PATENT APPLN.
NO. 2002-279014

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 9月25日

出願番号
Application Number: 特願2002-279014
[ST. 10/C]: [JP2002-279014]

出願人
Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 8月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02000775

【提出日】 平成14年 9月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/56

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 福井 厚夫

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 ボルテージ・レギュレータ

【特許請求の範囲】

【請求項 1】 基準電圧を出力する基準電圧源と、
出力電圧を分割する電圧分割回路と、
前記出力電圧を分割した電圧が出力される帰還電圧端子と、
前記基準電圧と前記帰還電圧端子からの電圧とが入力されるエラーアンプと、
前記電圧分割回路と入力電源電圧との間に直列に接続された第一導電型の第 1
のトランジスタと、
前記エラーアンプの出力を受けて、第 1 のトランジスタを制御する信号を出力
する過電流制限回路と、を有し、
前記過電流制限回路は、
前記入力電源と前記エラーアンプの間に接続された第一導電型の第 2 のトラン
ジスタと、
前記入力電源と前記第 2 のトランジスタを制御する信号が入力される端子との
間に接続された第 1 の抵抗と、
前記第 2 のトランジスタを制御する信号が入力される端子と接地電位の間に接
続された第 2 導電型の第 3 のトランジスタと、
前記第 3 のトランジスタを制御する信号が入力される端子と接地電位の間に接
続された第 2 の抵抗と、
前記入力電源と前記第 2 の抵抗との間に接続されており、前記エラーアンプの
出力が制御用の端子に入力される第 1 導電型の第 4 のトランジスタと、
前記第 4 のトランジスタと前記第 2 の抵抗との間に接続された差動対とを有し
、
前記差動対の第 1 の入力端子は、前記帰還電圧端子に接続されており、
前記差動対の第 2 の入力端子は、前記基準電圧回路の出力端子に接続されてい
ることを特徴とするボルテージ・レギュレータ。

【請求項 2】 前記差動対は、
前記第 1 の入力端子を有する第一導電型の第 5 のトランジスタと、

前記第2の入力端子を有する第一導電型の第6のトランジスタと、を有し、
前記第5のトランジスタは、前記第2の抵抗と前記第4のトランジスタの間に
接続されており、

前記第6のトランジスタは、前記設定電位と前記第4のトランジスタの間に接
続されていることを特徴とする請求項1に記載のボルテージ・レギュレータ。

【請求項3】 基準電圧を出力する基準電圧源と、
出力電圧を分割する電圧分割回路と、
前記出力電圧を分割した電圧が出力される帰還電圧端子と、
前記基準電圧と前記帰還電圧端子からの電圧とが入力されるエラーアンプと、
前記電圧分割回路と入力電源電圧との間に直列に接続された第一導電型の第1
のトランジスタと、

前記エラーアンプの出力を受けて、第1のトランジスタを制御する信号を出力
する過電流制限回路と、を有し、

前記過電流制限回路は、

前記エラーアンプに入力される信号を受けて、前記第1のトランジスタを制御
する信号を出力する差動対を有することを特徴とするボルテージ・レギュレータ
。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ボルテージ・レギュレータのフの字型過電流制限回路に関するも
のである。

【0002】

【従来の技術】

従来のフの字型過電流制限回路を具備したボルテージ・レギュレータとしては
、図3に示されるような回路が知られている（例えば、特許文献1参照。）。

【0003】

ボルテージ・レギュレータ部分は基準電圧源100とエラーアンプ101とP
チャンネル・エンハンスメント型MOSドライバートランジスタ102と抵抗106

、107からなる電圧分割回路で構成されている。エラーアンプ101は帰還電圧と基準電圧とを比較して、両者が一致するようPチャネル・エンハンスメント型MOSドライバートランジスタ102のゲート電圧を調整する。

【0004】

フの字型電流制限回路はPチャネル・エンハンスメント型MOSドライバートランジスタ102とゲートおよびソースが共通なPチャネル・エンハンスメント型MOSセンストランジスタ103と、前記Pチャネル・エンハンスメント型MOSセンストランジスタ103のドレインに一端が接続されもう一端が出力電圧端子に接続された抵抗108と、前記Pチャネル・エンハンスメント型MOSセンストランジスタ103のドレインにゲートが接続されソースが出力電圧端子に接続されバックゲートが接地されたNチャネル・エンハンスメント型MOSトランジスタ105と、前記Nチャネル・エンハンスメント型MOSトランジスタ105のドレインに一端が接続されもう一端が電源端子に接続された抵抗109と、前記Nチャネル・エンハンスメント型MOSトランジスタ105のドレインにゲートが接続されソースが電源端子に接続されドレインが前記エラーアンプ101の出力電圧端子とPチャネル・エンハンスメント型MOSセンストランジスタ103およびPチャネル・エンハンスメント型MOSドライバートランジスタ102のゲートに接続されたPチャネル・エンハンスメント型MOSトランジスタ104により構成されている。

【0005】

従来のフの字型過電流回路は入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときはフの字型過電流回路が動作せず、Pチャネル・エンハンスメント型MOSドライバートランジスタ102が出力電流を供給できなくなるまで出力電圧が低下しないため、出力電圧と出力電流の関係が図4のようになってしまうという傾向があった。

【0006】

この点を改善する為、従来のフの字型過電流制限回路に加え、垂下型過電流制限回路を具備したボルテージ・レギュレータの回路例を図5に示す。図5において垂下型過電流制限回路はPチャネル・エンハンスメント型MOSドライバートランジスタ102とゲートおよびソースが共通なPチャネル・エンハンスメント型MOS

センストランジスタ 110 と、前記 P チャンネル・エンハンスメント型 MOS センストランジスタ 110 のドレインに一端が接続されもう一端が接地された抵抗 111 と、前記 P チャンネル・エンハンスメント型 MOS センストランジスタ 110 のドレインにゲートが接続されソースが接地された N チャンネル・エンハンスメント型 MOS トランジスタ 112 と、前記 N チャンネル・エンハンスメント型 MOS トランジスタ 112 のドレインに一端が接続されもう一端が入力電源に接続された抵抗 113 と、前記 N チャンネル・エンハンスメント型 MOS トランジスタ 112 のドレインにゲートが接続されソースが入力電源に接続されドレインが前記エラーアンプ 101 の出力電圧端子と P チャンネル・エンハンスメント型 MOS センストランジスタ 110 および P チャンネル・エンハンスメント型 MOS ドライバートランジスタ 102 のゲートに接続された P チャンネル・エンハンスメント型 MOS トランジスタ 114 により構成されている。

【0007】

図 5 の回路では入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも、出力電流が大きくなるとまず垂下型過電流制限回路が動作して過電流制限をかけることにより出力電圧が低下するので、入力電源電圧と出力電圧との差が大きくなりフの字型過電流制限回路が動作するため、出力電圧と出力電流の関係は図 6 のようになる。

【0008】

【特許文献 1】

特公平 7-74976 号公報（第 1 図）

【0009】

【発明が解決しようとする課題】

先述したように、図 3 に示した従来のフの字型過電流制限回路を具備したボルテージ・レギュレータでは、入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときはフの字型過電流回路が動作せず、P チャンネル・エンハンスメント型 MOS ドライバートランジスタ 102 が出力電流を供給できなくなるまで出力電圧が低下しないため、出力電圧と出力電流の関係が図 4 のようになってしまうという傾向があった。

【0010】

一方、このような点を解決するための回路が、図5に示したフの字型過電流制限回路と垂下型過電流制限回路を共に具備したボルテージ・レギュレータであるが、フの字型過電流回路と垂下型過電流回路をともに具備するため、回路規模が増大してしまうということがあった。

【0011】

【課題を解決するための手段】

上記点を解決するために、本発明では入出力電圧差が小さい場合でも動作するようなフの字型過電流制限回路を簡便な回路にて実現している。

【0012】

また、本願発明は、基準電圧を出力する基準電圧源と、出力電圧を分割する電圧分割回路と、前記出力電圧を分割した電圧が出力される帰還電圧端子と、前記基準電圧と前記帰還電圧端子からの電圧とが入力されるエラーアンプと、前記電圧分割回路と入力電源電圧との間に直列に接続された第一導電型の第1のトランジスタと、前記エラーアンプの出力を受けて、第1のトランジスタを制御する信号を出力する過電流制限回路と、を有し、前記過電流制限回路は、前記入力電源と前記エラーアンプの間に接続された第一導電型の第2のトランジスタと、前記入力電源と前記第2のトランジスタを制御する信号が入力される端子との間に接続された第1の抵抗と、前記第2のトランジスタを制御する信号が入力される端子と接地電位の間に接続された第2導電型の第3のトランジスタと、前記第3のトランジスタを制御する信号が入力される端子と接地電位の間に接続された第2の抵抗と、前記入力電源と前記第2の抵抗との間に接続されており、前記エラーアンプの出力が制御用の端子に入力される第1導電型の第4のトランジスタと、前記第4のトランジスタと前記第2の抵抗との間に接続された差動対とを有し、前記差動対の第1の入力端子は、前記帰還電圧端子に接続されており、前記差動対の第2の入力端子は、前記基準電圧回路の出力端子に接続されていることを特徴とする。

【0013】

さらに、前記差動対は、前記第1の入力端子を有する第一導電型の第5のトラ

ンジスタと、前記第2の入力端子を有する第一導電型の第6のトランジスタと、を有し、前記第5のトランジスタは、前記第2の抵抗と前記第4のトランジスタの間に接続されており、前記第6のトランジスタは、前記設定電位と前記第4のトランジスタの間に接続されていることを特徴とする。

【0014】

さらに、本発明は、基準電圧を出力する基準電圧源と、出力電圧を分割する電圧分割回路と、前記出力電圧を分割した電圧が出力される帰還電圧端子と、前記基準電圧と前記帰還電圧端子からの電圧とが入力されるエラーアンプと、前記電圧分割回路と入力電源電圧との間に直列に接続された第一導電型の第1のトランジスタと、前記エラーアンプの出力を受けて、第1のトランジスタを制御する信号を出力する過電流制限回路と、を有し、前記過電流制限回路は、前記エラーアンプに入力される信号を受けて、前記第1のトランジスタを制御する信号を出力する差動対を有することを特徴とする。

【0015】

【発明の実施の形態】

本発明においては、入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも動作する従来の垂下型過電流制限回路に差動対を追加し、前記差動対の一方に出力電圧を抵抗にて分割した帰還電圧を印加することにより、入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも動作するフの字型過電流制限回路を構成している。

【0016】

【実施例】

以下に、本発明の実施例を図面に基づいて説明する。

【0017】

本発明のフの字型過電流制限回路を具備したボルテージ・レギュレータの実施例を図1に示す。過電流制限回路は、Pチャネル・エンハンスメント型MOSドライバートランジスタ102に流れる電流を検出するために以下の構成を採っている。前記Pチャネル・エンハンスメント型MOSドライバートランジスタ102とゲートおよびソースが共通なPチャネル・エンハンスメント型MOSセンストランジスタ

110を有している。さらに、ソースが共に前記Pチャンネル・エンハンスメント型MOSセンストランジスタ110のドレインに接続されて差動対を構成しているPチャンネル・エンハンスメント型MOSトランジスタ115、116を有している。さらに、前記Pチャンネル・エンハンスメント型MOSトランジスタ115のドレインに一端が接続され、もう一端が接地された抵抗111を有している。さらに、前記Pチャンネル・エンハンスメント型MOSトランジスタ115のドレインにゲートが接続されソースが接地されたNチャンネル・エンハンスメント型MOSトランジスタ112と、前記Nチャンネル・エンハンスメント型MOSトランジスタ112のドレインに一端が接続されもう一端が入力電源に接続された抵抗113を有している。さらに、前記Nチャンネル・エンハンスメント型MOSトランジスタ112のドレインにゲートが接続されソースが入力電源に接続されドレインが前記エラーアンプ101の出力電圧端子とセンスアンプ110およびPチャンネル・エンハンスメント型MOSドライバートランジスタ102のゲートに接続されたPチャンネル・エンハンスメント型MOSトランジスタ114を有している。このような構成により、Pチャンネル・エンハンスメント型MOSドライバートランジスタ102に流れる電流を検出する。

【0018】

そして、前記Pチャンネル・エンハンスメント型MOSトランジスタ115のゲートは帰還電圧端子に接続され、前記Pチャンネル・エンハンスメント型MOSトランジスタ116のゲートは基準電圧端子に接続されドレインは接地されている。

【0019】

Pチャンネル・エンハンスメント型MOSトランジスタ115および抵抗111に流れる電流が大きくなり、Nチャンネル・エンハンスメント型MOSトランジスタ112がONすると、Nチャンネル・エンハンスメント型MOSトランジスタ112に電流が流れ、抵抗113の両端子間の電圧差が大きくなり、Pチャンネル・エンハンスメント型MOSトランジスタ114がONするのでPチャンネル・エンハンスメント型MOSドライバートランジスタ102のゲート電圧が上昇し、Pチャンネル・エンハンスメント型MOSドライバートランジスタ102の電流供給が制限されるという機構で過電流制限が動作する。

【0020】

規定の出力電圧が出力されている場合には、帰還電圧は基準電圧と等しいため、Pチャネル・エンハンスメント型MOSトランジスタ115のゲート電圧とPチャネル・エンハンスメント型MOSトランジスタ116のゲート電圧は等しい。上記Pチャネル・エンハンスメント型MOSトランジスタ115と116のソースは共通になっている故、Pチャネル・エンハンスメント型MOSトランジスタ115と116に流れる電流は等しく、その電流値はPチャネル・エンハンスメント型MOSセンストランジスタ110に流れる電流の半分である。したがって、出力電流に比例するPチャネル・エンハンスメント型MOSセンストランジスタ110に流れる電流の半分の電流が、Nチャネル・エンハンスメント型MOSトランジスタ112がONするような状態に達すると過電流制限が動作する。

【0021】

出力電流が規定値より下降した場合には、出力電圧が下降するほど出力電圧を抵抗で分割している帰還電圧も下降するので、Pチャネル・エンハンスメント型MOSトランジスタ115のゲート電圧とPチャネル・エンハンスメント型MOSトランジスタ116のゲート電圧差は大きくなるので、Pチャネル・エンハンスメント型MOSセンストランジスタ110に流れる電流のうちPチャネル・エンハンスメント型MOSトランジスタ115に流れる電流の割合が大きくなる。

【0022】

逆にいうと、出力電圧が下降するほどPチャネル・エンハンスメント型MOSトランジスタ115に一定量の電流を流すのに必要なPチャネル・エンハンスメント型MOSセンストランジスタ110の電流は小さくてすむ。

【0023】

過電流制限が動作するのはNチャネル・エンハンスメント型MOSトランジスタ112がONするときであるから、Nチャネル・エンハンスメント型MOSトランジスタ112をONさせるのに必要とされる、抵抗111およびNチャネル・エンハンスメント型MOSトランジスタ115に流す電流は、出力電流や出力電圧によらず一定である。

【0024】

しかし、前述したように出力電圧が低下するほど、Pチャネル・エンハンスメント型MOSトランジスタ115に一定量の電流を流すのに必要なPチャネル・エンハンスメント型MOSセンストランジスタ110の電流は小さくてすむことと、Pチャネル・エンハンスメント型MOSセンストランジスタ110に流れる電流は出力電流に比例することを考慮すると、出力電圧が低下するほど、過電流制限が動作する出力電流も低下することを意味している。すなわち、出力電圧と出力電流の関係は図2のようにフの字型を呈することとなる。

【0025】

図1に示した実施例の回路では、図3に示した従来型のフの字型過電流制限回路のように入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときにフの字型過電流制限回路が動作しなくなることはないので、図5のように垂下型過電流制限回路をあわせて具備する必要があるため、回路が簡略化されるという特徴を有する。

【0026】

【発明の効果】

本発明においては、入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも動作する従来の垂下型過電流制限回路に差動対を追加し、前記差動対の一方に出力電圧を抵抗にて分割した帰還電圧を印加することにより、入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも動作するフの字型過電流制限回路を構成しているため、従来のようにフの字型過電流制限回路と垂下型過電流制限回路を共に具備する必要がなく、回路規模が簡略化できるという効果がある。

【図面の簡単な説明】

【図1】

本発明のフの字型過電流制限回路を具備したボルテージ・レギュレータの回路図である。

【図2】

本発明のフの字型過電流制限回路を具備したボルテージ・レギュレータの出力電圧と出力電流の関係を示した図である。

【図 3】

従来のフの字型過電流制限回路を具備したボルテージ・レギュレータの回路図である。

【図 4】

従来のフの字型過電流制限回路を具備したボルテージ・レギュレータの出力電圧と出力電流の関係を示した図である。

【図 5】

従来のフの字型過電流制限回路と垂下型過電流制限回路の両者を具備したボルテージ・レギュレータの回路図である。

【図 6】

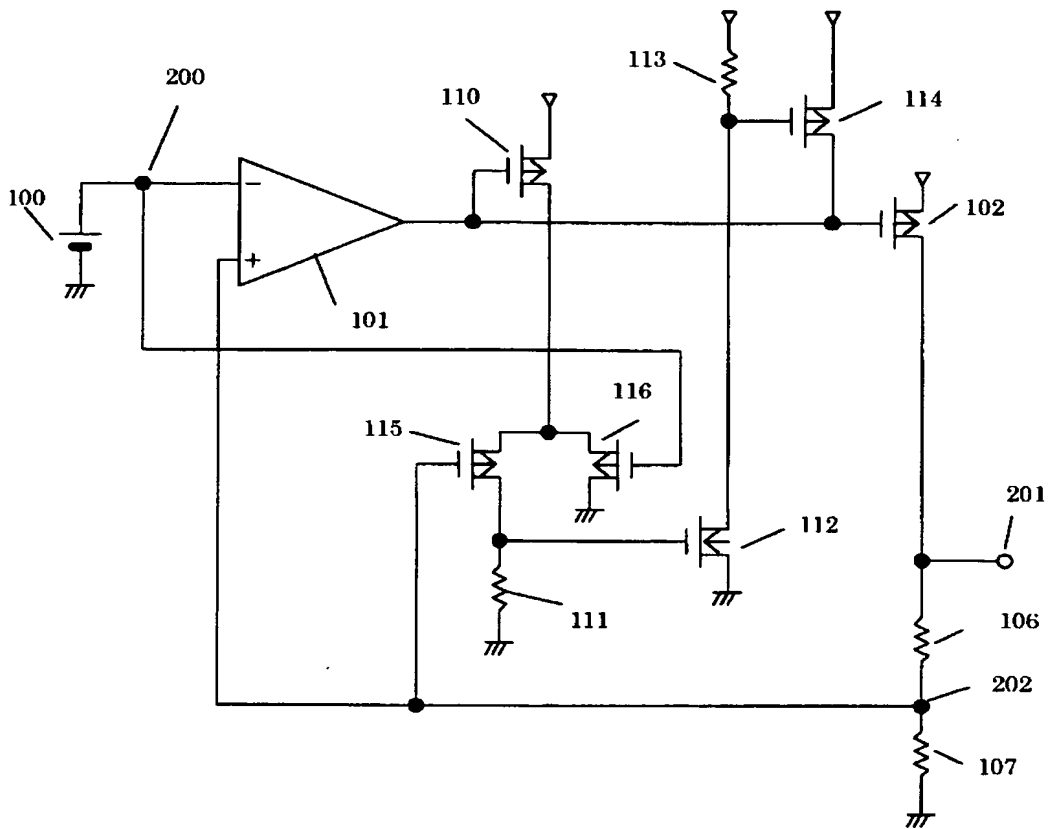
従来のフの字型過電流制限回路と垂下型過電流制限回路の両者を具備したボルテージ・レギュレータの出力電圧と出力電流の関係を示した図である。

【符号の説明】

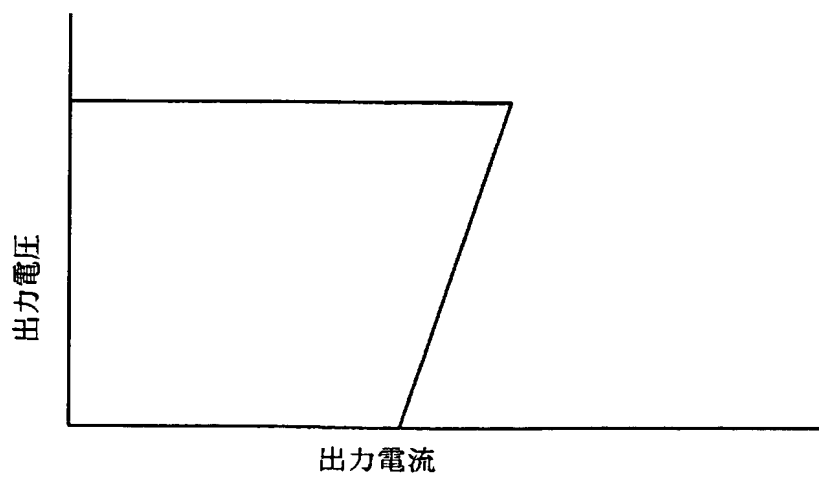
- 1 0 0 基準電圧源
- 1 0 1 エラーアンプ
- 1 0 2 Pチャネル・エンハンスメント型MOSドライバートランジスタ
- 1 0 3、1 1 0 Pチャネル・エンハンスメント型MOSセンストランジスタ
- 1 0 4、1 1 4、1 1 5、1 1 6 Pチャネル・エンハンスメント型MOSトランジスタ
- 1 0 5、1 1 2 Nチャネル・エンハンスメント型MOSトランジスタ
- 1 0 6、1 0 7、1 0 8、1 0 9、1 1 1、1 1 3 抵抗
- 2 0 0 基準電圧端子
- 2 0 1 出力電圧端子
- 2 0 2 帰還電圧端子

【書類名】 図面

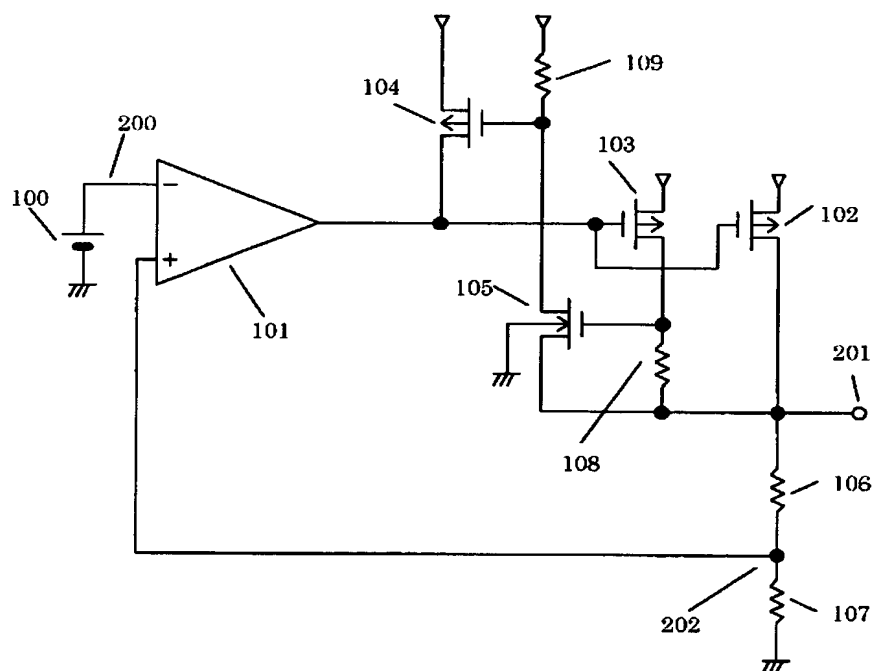
【図 1】



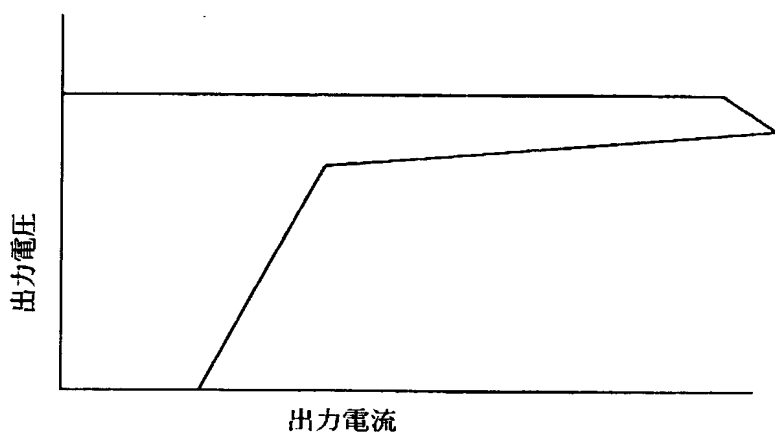
【図 2】



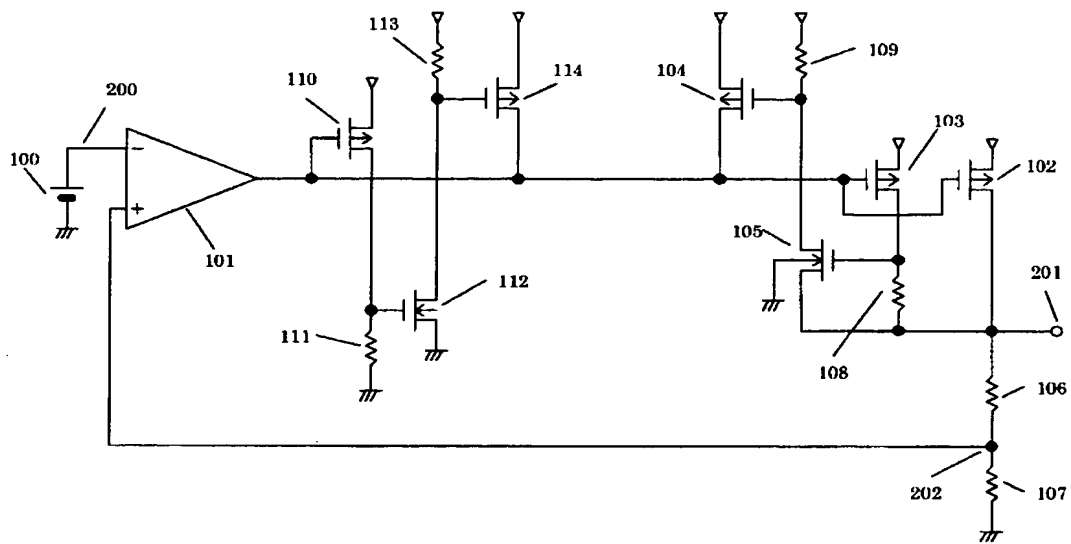
【図 3】



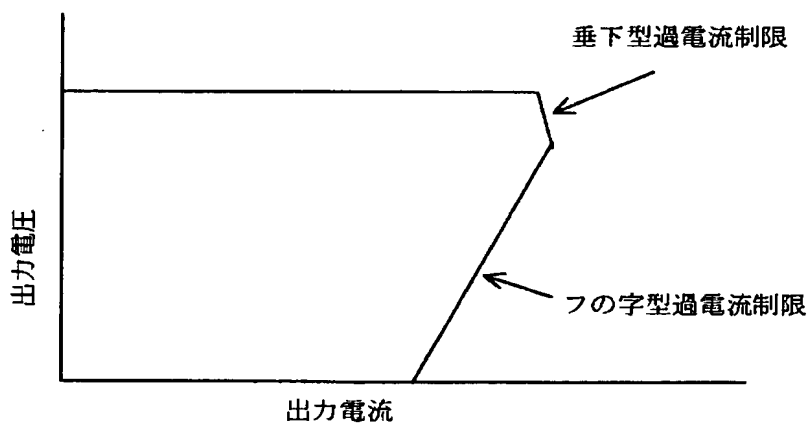
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 入力電源電圧と出力電圧が小さいとき、すなわち入出力電圧差が小さいときでも動作するボルテージ・レギュレータの提供。

【解決手段】 基準電圧を出力する基準電圧源と、出力電圧を分割する電圧分割回路と、前記出力電圧を分割した電圧が出力される帰還電圧端子と、前記基準電圧と前記帰還電圧端子からの電圧とが入力されるエラーアンプと、前記電圧分割回路と入力電源電圧との間に直列に接続された第一導電型の第1のトランジスタと、前記エラーアンプの出力を受けて、第1のトランジスタを制御する信号を出力する過電流制限回路と、を有し、前記過電流制限回路は、前記エラーアンプに入力される信号を受けて、前記第1のトランジスタを制御する信号を出力する差動対を有する。

【選択図】 図1

特願 2 0 0 2 - 2 7 9 0 1 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 2 5]

1. 変更年月日	1 9 9 7 年 7 月 2 3 日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬 1 丁目 8 番地
氏 名	セイコーインスツルメンツ株式会社